

SWITCHED CAPACITOR CIRCUIT

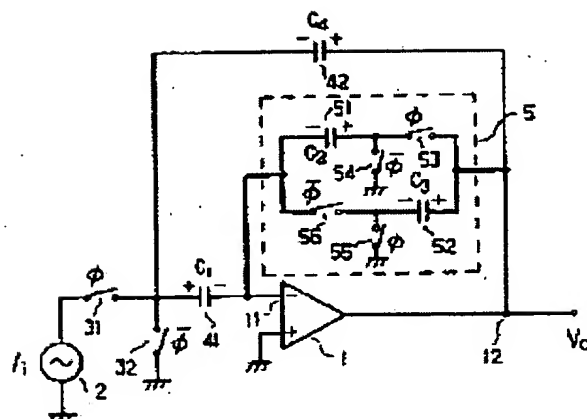
Patent number: JP63219219
Publication date: 1988-09-12
Inventor: MATSUMOTO HIROKI; others: 01
Applicant: KENZO WATANABE; others: 01
Classification:
 - international: H03H19/00; G06G7/186
 - european:
Application number: JP19870053690 19870309
Priority number(s):

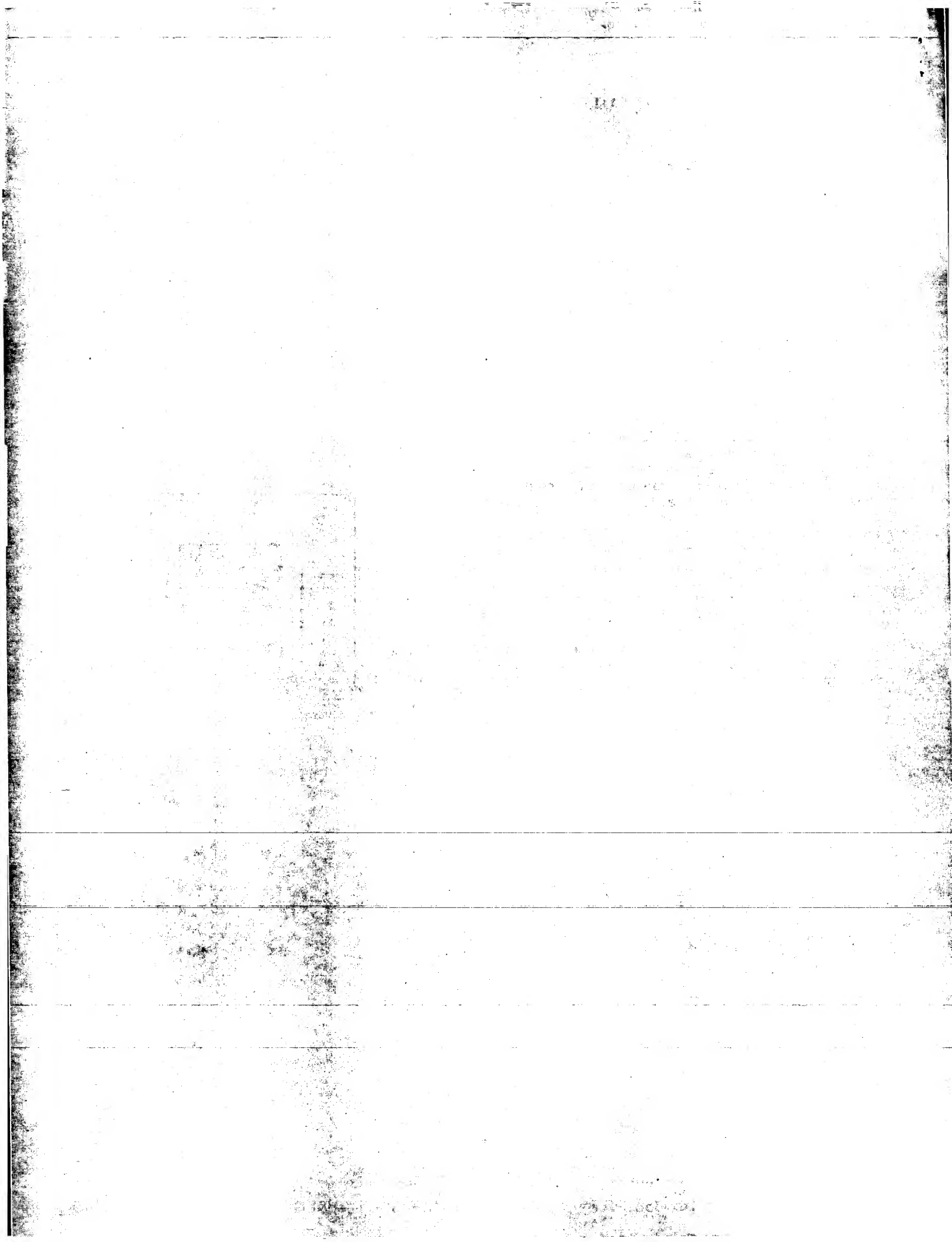
Abstract of JP63219219

PURPOSE: To attain processing of highly accurate analog signal by connecting a capacitor between a switch contact connected to an input signal source, a capacitor connected to an inverting input of an operational amplifier and an output terminal of the operational amplifier.

CONSTITUTION: The capacitor 42 is connected to an output terminal 12 of an operational amplifier 12, a contact of a switch 31 connected to a capacitor 41 and an input signal source and the other end of the capacitor 41 is connected always to the inverting input terminal 11 of the amplifier 1.

The switch 31 and the switches 53, 55 of the circuit 5 are switched by a clock signal ϕ and the switching of the switch 32 and the switches 54, 56 of the circuit 5 are controlled by a clock signal, the inverse of ϕ . The signal ϕ , the inverse of ϕ are set so that the period of logical 1 is not duplicated to each other. Thus, with all the switches turned off, the production of a spike voltage is prevented to apply analog signal processing with high accuracy.





(19) 日本国特許庁 (J P) (12) 特 許 公 報 (B 2) (11) 特許出願公告番号

特公平7-44428

(24) (44) 公告日 平成 7 年 (1995) 5 月 15 日

(51) Int. Cl. ⁶ 識別記号 F I
H03H 19/00 8842-5J

発明の数 1 (全 5 頁)

(21) 出願番号	特願昭62-53690	(71) 出願人	999999999 渡辺 健蔵 静岡県浜松市広沢 1 丁目22番 6 号 合同宿 舎広沢住宅 5-11
(22) 出願日	昭和62年(1987) 3 月 9 日	(71) 出願人	999999999 株式会社クラベ 静岡県浜松市高塚町4830番地
(65) 公開番号	特開昭63-219219	(72) 発明者	松本 寛樹 静岡県浜松市文丘町26番18号
(43) 公開日	昭和63年(1988) 9 月 12 日	(72) 発明者	渡辺 健蔵 静岡県浜松市蛸塚 3 丁目23番 6 号
		審査官	松尾 淳一
		(56) 参考文献	特開昭58-29213 (J P, A)

(54) 【発明の名称】 スイッチドキャパシタ回路

1

【特許請求の範囲】

【請求項 1】 演算増幅器 (1) と、該演算増幅器の反転入力端子 (11) と出力端子 (12) の間に接続されるスイッチとキャパシタを含む帰還回路 (5) と、片端が該演算増幅器の反転入力端子 (11) に接続され他端は入力信号源 (2) にスイッチ (31) を介して接続されるキャパシタ (41) とから成るスイッチドキャパシタ回路において、キャパシタ (41) とスイッチ (31) の接点と演算増幅器 (1) の出力端子 (12) との間にキャパシタ (42) を接続したスイッチドキャパシタ回路。

【発明の詳細な説明】

(産業上の利用分野)

本発明は、演算増幅器、スイッチ、及びキャパシタを用いてアナログ信号の離散時間処理を行うスイッチドキャパシタ回路の構成に関する。

2

(従来の技術)

第 2 図に従来よく用いられているスイッチドキャパシタ回路を示す。各スイッチの横に記した ϕ と $\bar{\phi}$ は当該スイッチを開閉するクロック信号であり、各スイッチは当該クロック信号が論理 1 の時に閉じるものとする。以降の第 4 図、第 5 図でもこの記法を用いるものとする。このクロック信号は、スイッチ対 (31, 32), (53, 54), (55, 56) が同時にオンとならない様、第 3 図のタイミング図に示すように、論理レベル 1 となる時間が互いに重ならないよう位相制御されている。第 2 図の回路では、 $\phi = 1$ の時にキャパシタ 41 をスイッチ 31 を介して入力信号源 2 の電圧に充電する。この時帰還回路 5 のスイッチ 53 も同時にオンとなるので、キャパシタ 41 の充電電荷はキャパシタ 51 を流れる。キャパシタ 51 があらかじめ放電されていたとすると、演算増幅器 1 の出力電圧

10

。(φ)は

$$V_o(\phi) = -\frac{C_1}{C_2} V_i(\phi) \quad (1)$$

となる。ここで、 C_1 と C_2 はそれぞれキャパシタ41と51の容量、 $V_i(\phi)$ は当該クロック時における入力信号源2の電圧である。又、この期間スイッチ55がオンとなっているのでキャパシタ52も $V_o(\phi)$ に充電される。次の $\bar{\phi} = 1$ の期間ではキャパシタ41と51はスイッチ32と54がオンとなるので放電し、保持していた電荷をキャパシタ52に転送する。キャパシタ41と51から転送される電荷量は等しいが極性が反対であるためキャパシタ52の電圧は変化せず、従って、演算増幅器1の出力電圧 $V_o(\bar{\phi})$ は第(1)式の $V_o(\phi)$ のままである。従って、第2図の回路は ϕ クロック時に増幅作用を、 $\bar{\phi}$ クロック時はホールド作用を行う。又、スイッチ54を取除き、キャパシタ51を $\bar{\phi}$ クロック時の放電させなければこの回路は積分器となる。

(発明が解決しようとする問題点)

上記 ϕ クロック時の増幅或いは積分動作は、回路の各接点と接地間の浮遊容量や演算増幅器のオフセット電圧には影響されない。このため第2図の回路はアナログ信号の離散時間処理を行うための基本構成回路として多用されている。しかし乍ら、第3図に示す期間 τ_1 と τ_2 、即ち ϕ と $\bar{\phi}$ クロック信号が共に論理レベル0の期間では第2図の帰還回路5のスイッチ53と56が共にオフとなるので帰還回路は開放状態となる。この状態では演算増幅器1のオフセット電圧がその開放利得倍されて出力に現れる。演算増幅器の開放利得は通常80~100dBと非常に大きいので僅かなオフセット電圧でも演算増幅器出力は飽和しスパイク波形となる。このスパイク電圧は配線間の結合容量を介してキャパシタ41或いは51に流入し、信号の劣化を惹き起こす。従来、このスパイク電圧の発生を防止する有効な手段は見い出されていなかった。

本発明はかかる問題点を解決し、高精度のアナログ信号処理を行うスイッチドキャパシタ回路を提供するためになされたものである。

(問題点を解決するための手段)

第1図はスパイク電圧の発生を防止するためになされた本発明を示すブロック図であって、1は演算増幅器、2は入力信号源、31と32はスイッチ、41と42はキャパシタ、5はスイッチとキャパシタを含む、例えば第2図に示す様な帰還回路であって、キャパシタ42は演算増幅器1の出力端子12とキャパシタ41とスイッチ31の接点との間に接続され、キャパシタ41の他端は常に演算増幅器1の反転入力端子11に接続されている。各スイッチは、第3図に示すように、論理1となる期間が互いに重ならないよう

にクロック信号でその開閉が制御されている。

(作用)

第1図のキャパシタ41とスイッチ31、32、及び帰還回路5は $\phi = 1$ と $\bar{\phi} = 1$ のクロック時に増幅或いは積分等の所要の動作を行うように設計されているとしよう。従来の回路は ϕ と $\bar{\phi}$ クロックが共に論理レベル0、即ち回路に含まれる全てのスイッチがオフとなり、帰還回路5が開放となることによってスパイク電圧を生じる。本発明の第1図のブロック図では全てのスイッチがオフの時には、キャパシタ42と41が直列接続されて演算増幅器1の帰還路となる。このため、第3図のタイミング図の τ_1 と τ_2 期間では第1図の回路は利得1の増幅器或いはホールド回路となるのでスパイク電圧は発生しない。

(実施例)

以下、本発明の有効性を実施例で示す。第4図は本発明の第1の実施例であって、第2図に示す帰還回路5を用いたスイッチドキャパシタ増幅器である。各スイッチは第3図に示すタイミングの2相クロック信号で制御されている。 $\phi = 1$ の期間では第2図と同様、利得 C_1/C_2 の反転増幅作用を行い、第(1)式に示す電圧 $V_o(\phi)$ を出力する。この時、キャパシタ41と42はそれぞれ $V_o(\phi)$ と $V_o(\phi) - V_i(\phi)$ に図示の極性で充電される。次の τ_1 期間では全てのスイッチはオフとなり、キャパシタ41と42が直列接続され演算増幅器1の帰還路を構成する。この時の出力電圧 $V_o(\tau_1)$ は

$$V_o(\tau_1) = V_{c1}(\phi) + V_{c4}(\phi) = V_i(\phi) + V_o(\phi) - V_i(\phi) = V_o(\phi) \quad (2)$$

となる。次の $\bar{\phi} = 1$ の期間の動作は第2図の回路のホールド動作と同じであり、演算増幅器1の出力電圧 $V_o(\bar{\phi})$ は第(1)式の $V_o(\phi)$ となる。この時、キャ

パシタ41の端子間電圧 $V_{c1}(\bar{\phi})$ は0、キャパシタ42の端子間電圧 $V_{c4}(\bar{\phi})$ は図示の極性で $V_o(\bar{\phi}) = V_o(\phi)$ となっている。次の τ_2 期間ではキャパシタ41と42は再び直列接続となり演算増幅器1の帰還路を構成する。この時の演算増幅器1の出力電圧 $V_o(\tau_2)$ は

$$V_o(\tau_2) = V_{c1}(\phi) + V_{c4}(\bar{\phi}) = V_o(\phi) \quad (3)$$

となる。従って、第4図の回路は $\phi = 1$ の期間で入力信号を増幅し、以後の τ_1 、 $\bar{\phi}$ 、 τ_2 の期間この増幅出力をホールドするので、スパイク電圧を生じない。

第5図は本発明を応用したサンプルホールド回路を示す。今、第3図に示す n 番目の ϕ クロック信号でスイッチ31と56がオンになったとしよう。電荷保存の法則から演算増幅器1の出力電圧 $V_o(n)$ は

$$V_o(n) = V_o(n-1) - \frac{C_1}{C_2} \Delta V_i(n) \quad (4)$$

5

ただし、 $\Delta V_i(n) = V_i(n) - V_i(n-1)$ (5)
 となり、キャパシタ41と42はそれぞれ図示の極性で
 $V_i(n)$ と $V_o(n) - V_i(n)$ に充電される。ここで
 $V_i(n-1)$ と $V_i(n)$ はそれぞれ $n-1$ 番目と n 番目の
 ϕ クロック信号時の入力電源の電圧、 $V_o(n-1)$ と V_o
 (n) は $n-1$ 番目と n 番目の ϕ クロック時の演算増幅
 器1の出力電圧である。次の τ_1 期間では全てのスイ
 ヂチがオフとなり、キャパシタ41と42が直列となって演算

$$V_o(n + \frac{1}{2}) = V_{c1}(n) = V_i(n)$$

となる。この時、キャパシタ42はスイッチ32によって短
 絡されるのでその端子間電圧 V_{c4} は0となり、一方、キ
 ャパシタ52は

$$V_o(n + \frac{1}{2}) = V_i(n)$$

$$V_o(\tau_2) = V_{c1}(n + \frac{1}{2}) + V_{c4}(n + \frac{1}{2}) = V_i(n) \quad (8)$$

となる。第(5)式から第(8)式に示されるように、
 第5図の回路は ϕ クロック時に入力信号をサンプルし、
 $\bar{\phi}$ クロック時にサンプルした入力信号を出力するサンプ
 ルホールド回路であり、期間 τ_1 と τ_2 では直前の ϕ 及び
 $\bar{\phi}$ クロック時の出力電圧をホールドするので、スパイク
 電圧を発生しない。

(発明の効果)

以上説明したように本発明によれば極めて簡単な回路構
 成でスパイク電圧を発生しないスイッチドキャパシタ回
 路を実現できる。本発明は増幅器、積分器、サンプルホ
 ールド回路等、アナログ演算を行うのに必要な基本構成
 回路全てに適用できるので、高精度アナログ信号処理に
 極めて有用である。

6

増幅器1の帰還路を形成する。この時の出力電圧 $V_o(\tau_1)$ は

$$V_o(\tau_1) = V_{c1}(n) + V_{c4}(n) = V_o(n) \quad (6)$$

となる。次の $\phi=1$ の期間はスイッチ32がオンとなるの
 で、キャパシタ41のみが演算増幅器1の帰還路となる。
 従って、

出力電圧 $V_o(n + \frac{1}{2})$ は

(7)

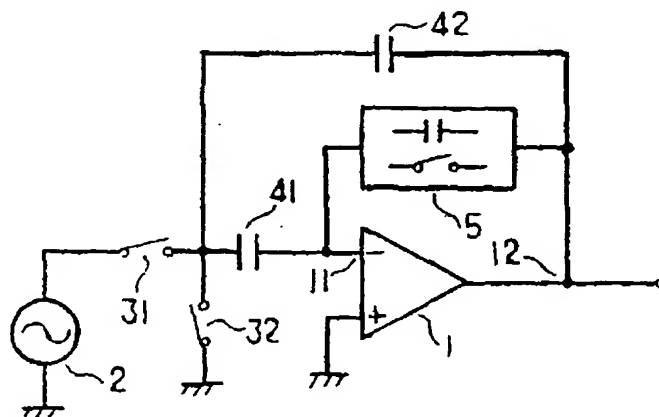
に充電される。次の τ_2 期間では全てのスイッチがオフ
 となり、キャパシタ41と42が直列となって再び演算増幅
 器1の帰還路を形成する。この時の出力電圧 $V_o(\tau_2)$
 は

【図面の簡単な説明】

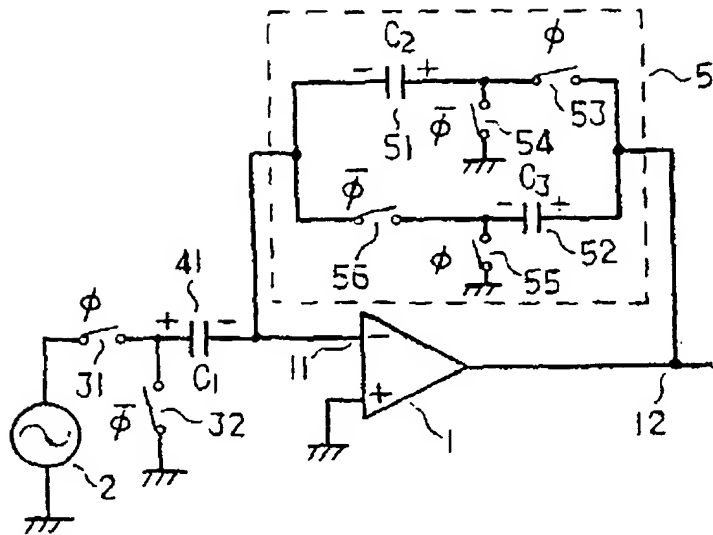
第1図は本発明のスイッチドキャパシタ回路のブロック
 図、第2図は従来用いられているスイッチドキャパシタ
 増幅器の回路図、第3図は第2図、第4図、及び第5図
 の回路のスイッチを制御する2相クロック信号のタイミ
 ング図、第4図と第5図は本発明の実施例であるスイ
 ヂチドキャパシタ増幅器とサンプルホールド回路の結線図
 である。

第1図、第2図、第4図、第5図において、1は演算増
 幅器、2は入力信号源、31は入力信号電圧をサンプルす
 るスイッチ、41と42はキャパシタ、5はキャパシタとス
 イッチから成る帰還回路である。

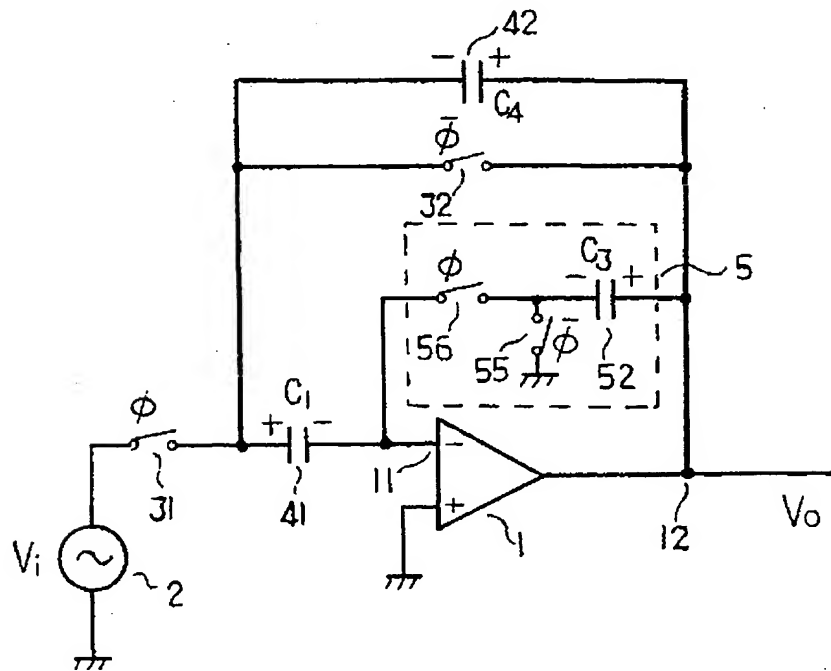
【第1図】



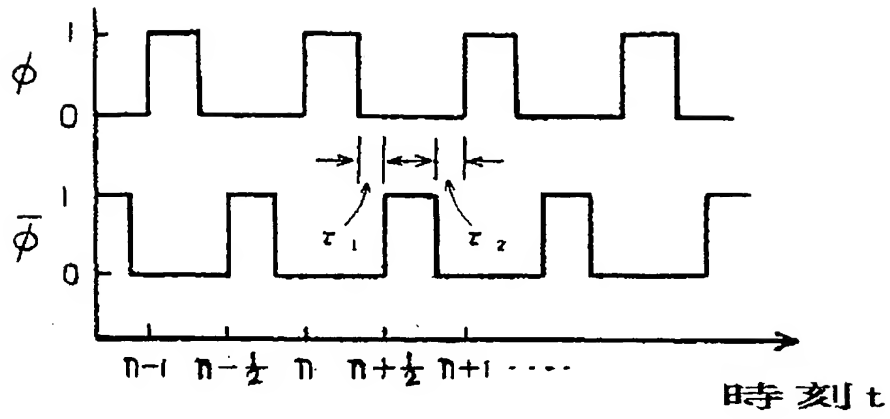
【第2図】



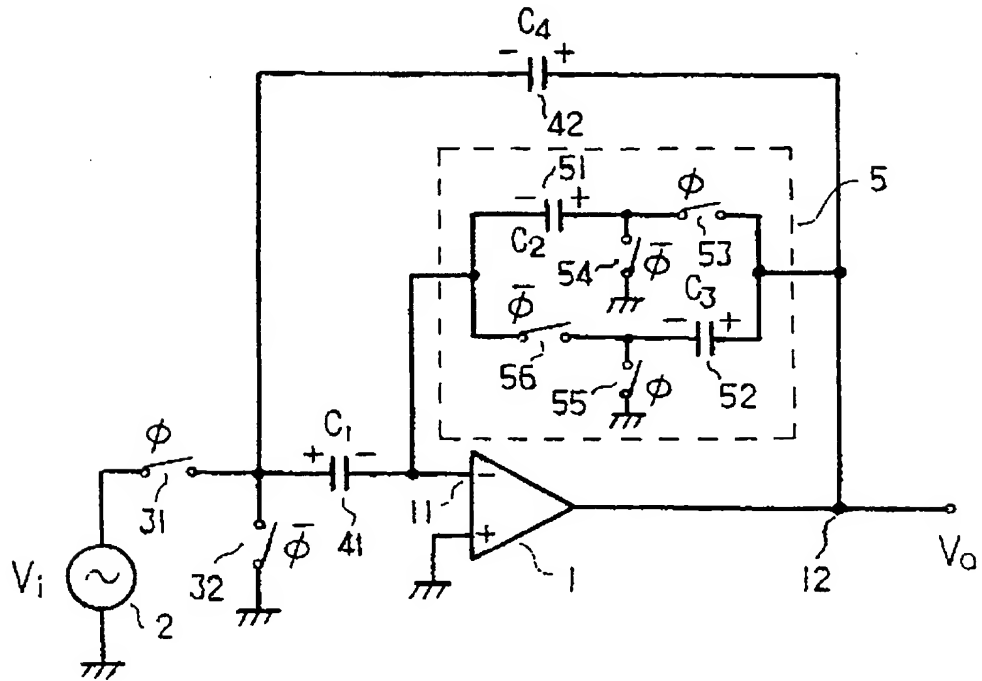
【第5図】



【第3图】



【第4图】



THIS PAGE BLANK (USPTO)